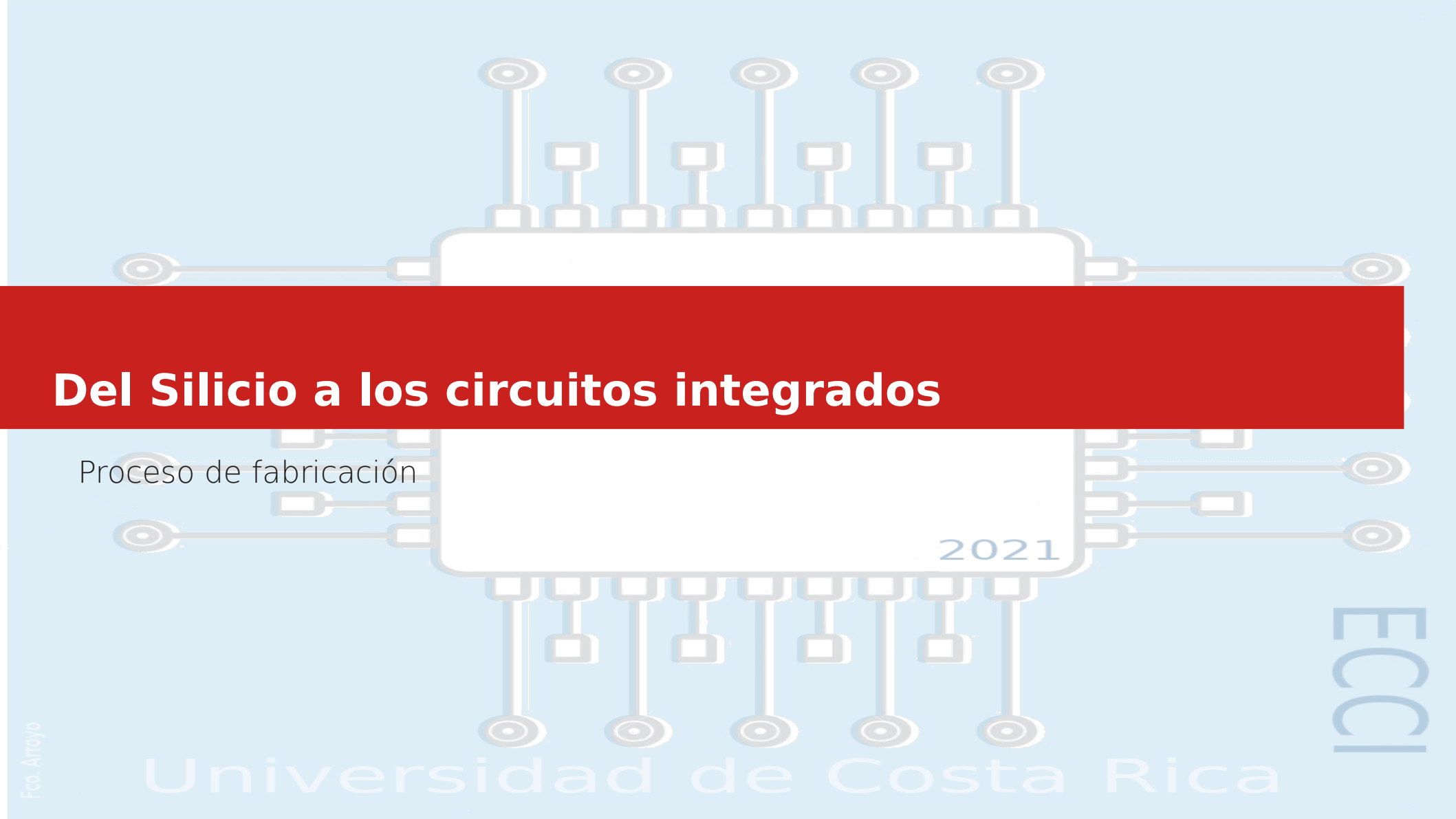




Del Silicio a los circuitos integrados

Proceso de fabricación

2021

ECCI

Universidad de Costa Rica

Construcción de un lingote de silicio de alta pureza

Proceso Czochralski

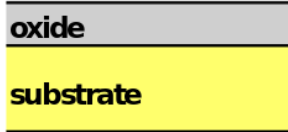
Fuente:
<https://www.sciencedirect.com/topics/chemistry/czochralski-process>

2021

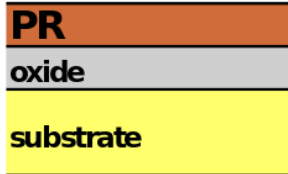
ECC

Construcción de circuitos integrados (versión 1)

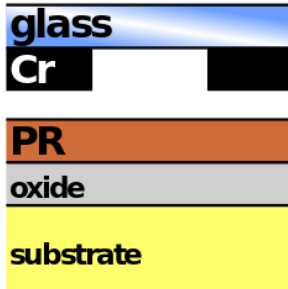
a. Prepare wafer



b. Apply photoresist



c. Align photomask



a. Se prepara de wafer para el proceso fotolitográfico: se agrega una primera capa de óxido, luego la pieza completa es limpiada para eliminar contaminantes

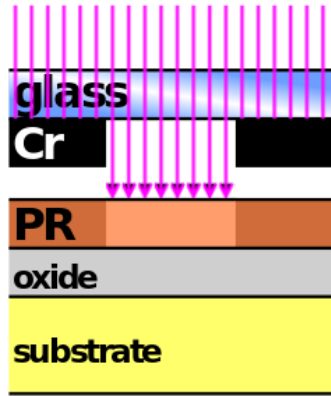
b. Se aplica un promotor de adhesión para favorecer la integración del material fotoresistente (PR). Se agrega este material. El wafer se gira a velocidades muy altas por 30 a 60 segundos. Luego, el wafer es cocinado para eliminar los solventes remanente.

c. Para preparar la exposición, una retícula o fotomáscara de una capa es presentada y alineada con el *wafer*. Para incrementar la resolución es posible emplear hendiduras de exposición (Cr)

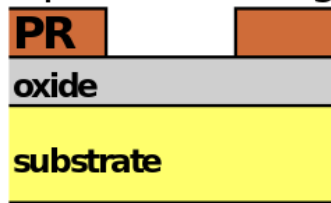
Fuente: <https://www.anandtech.com/show/8223/an-introduction-to-semiconductor-physics-technology-and-industry/3>

Construcción de circuitos integrados (versión 1)

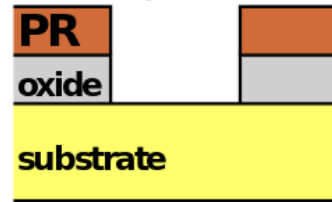
d. Expose to UV light



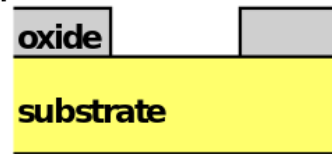
e. Develop and remove photoresist exposed to UV light



f. Etch exposed oxide



g. Remove remaining photoresist



d. Proceso de exposición. El bloque es expuesto a luz ultra-violeta intensa (193 nm) para cambiar el material foto-resistente

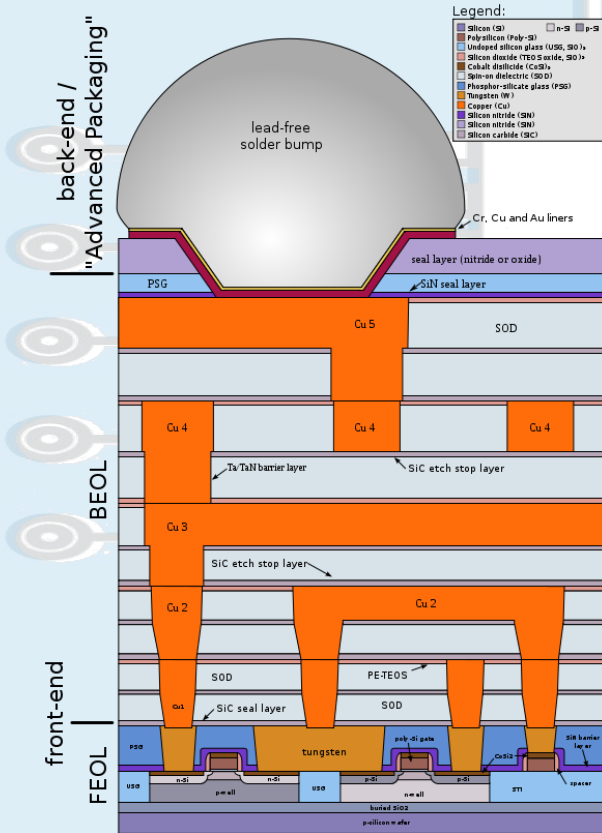
e. Este cambio permite al revelador eliminar estas áreas expuestas. El wafer es calentado nuevamente para completar el curado del foto-revelador

f. La porción correspondiente de la capa de óxido es eliminada, por medio de agentes líquidos o gas ionizado

g. Una vez que este proceso de grabado es completado, todo el material foto-resistente es removido

Fuente: <https://www.anandtech.com/show/8223/an-introduction-to-semiconductor-physics-technology-and-industry/3>

Construcción de circuitos integrados (versión 1)

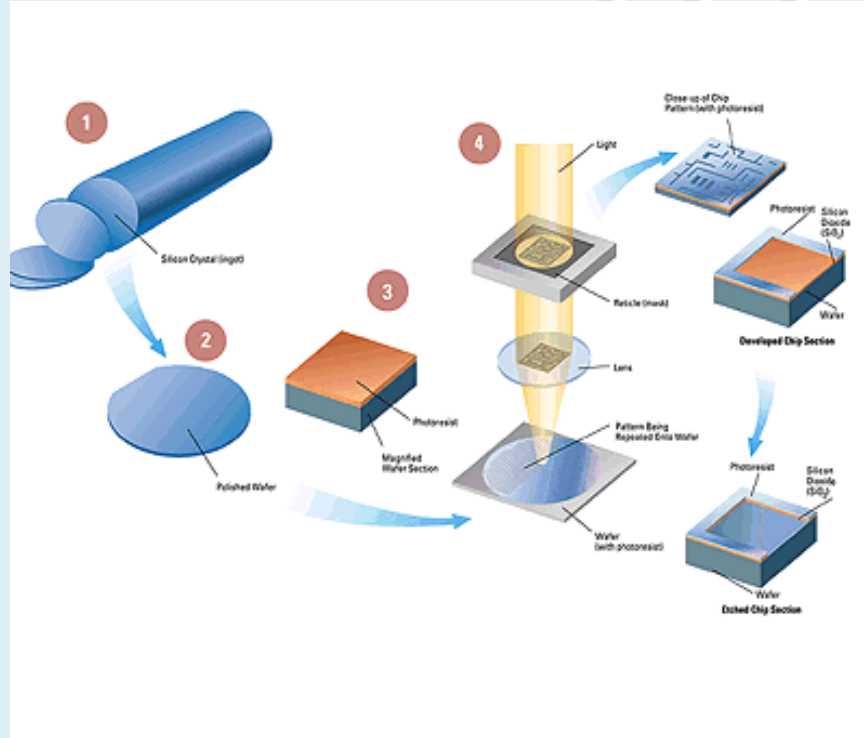


Para circuitos complejos, el proceso descrito anteriormente es repetitivo varias veces para establecer sus distintos componentes, como se muestra en la figura, en este caso doce veces.

Este proceso de producción no es perfecto, por lo que el wafer es probado muchas veces durante su proceso de producción. Si existen muchos defectos en un wafer entonces es desechado para evitar el desperdicio de recursos.

Fuente: <https://www.anandtech.com/show/8223/an-introduction-to-semiconductor-physics-technology-and-industry/3>

Construcción de circuitos integrados (versión 2)



1. Cortado en *wafers* de un lingote de silicio 99.9999% puro

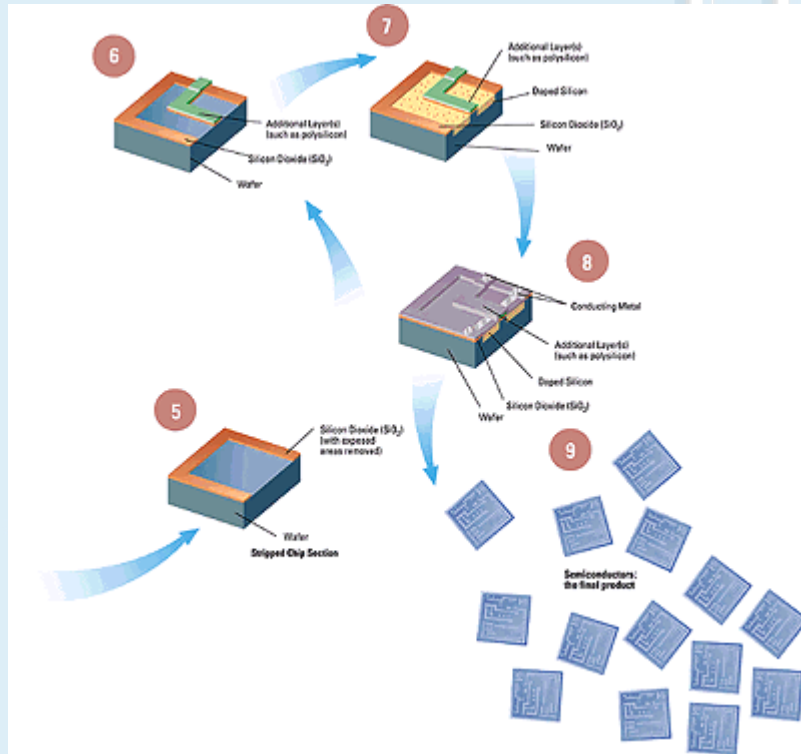
2. Pulido de los wafers, para remover impurezas y rayones, queda una superficie casi perfecta para construir los *chips*

3. Algunas porciones del silicio son tratadas para controlar el flujo de electrones (foto-litografía). El wafer es cubierto por un material foto-resistente

4. Se aplica luz a través de un patrón que produce una imagen del tamaño del chip en el *wafer*. Se repite el proceso de impresión para cada chip en el *wafer*. Las áreas expuestas al foto-resistente endurecen, durante el proceso de lavado las áreas no protegidas son eliminadas.

Fuente: <http://www.semtech.org/public/index.htm>

Construcción de circuitos integrados (versión 2)

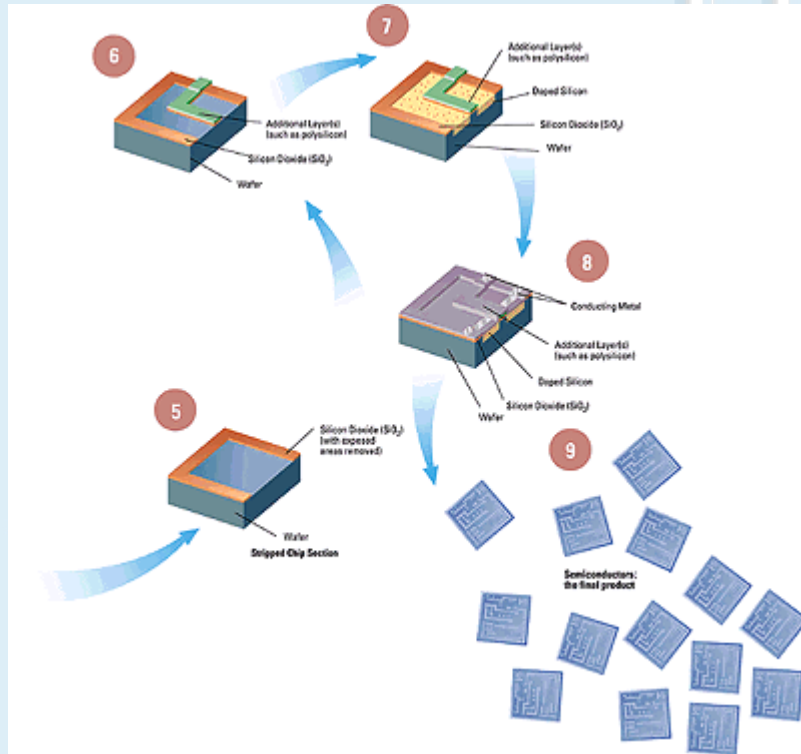


5. Por medio de un proceso de dopaje, átomos de materiales - boro o arsénico - son bombardeados como iones en la superficie del *wafer* y luego son activados en un paso de calentamiento. El material foto-resistente impide que las impurezas penetren y éstas solo alcanzan las áreas designadas en el diseño. Luego de que el material de dopaje endurece, el material foto-resistente es removido y el proceso es repetido en otras áreas con otros elementos de dopaje.

6. La compuerta del transistor se forma depositando y amoldando una capa de dióxido de silicio y una capa de poli-silicio, altamente dopado, que actúa como “llave” para controlar el flujo de electrones entre el emisor y el colector.

Fuente: <http://www.semtech.org/public/index.htm>

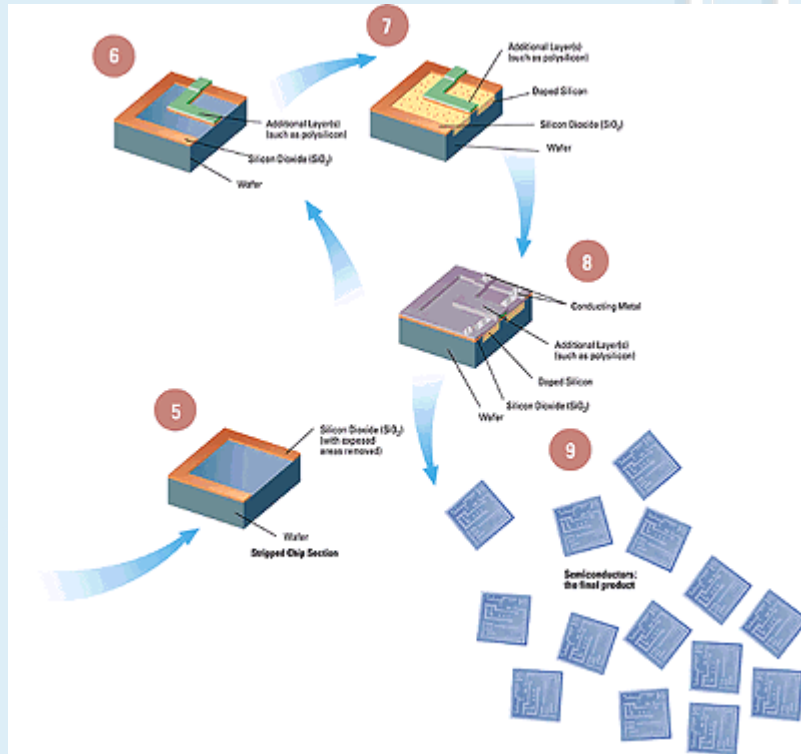
Construcción de circuitos integrados (versión 2)



7. El resto del proceso involucra la formación de los hilos que conectan la compuerta: emisor, colector con los demás o con otros en el exterior. Utilizando deposición por vaporización química (CVD) se deposita en el *wafer* capas de dióxido de silicio (aislante o dieléctrico). Durante este proceso, los átomos que contienen los gases del material que se quiere a depositar reaccionan con la superficie caliente del *wafer* y forman una capa delgada del material. Metales, primordialmente aluminio son depositados utilizando deposición por vaporización física (sputtering), se acelera iones de gas a través del material a depositar, pequeñas partes del material son transportadas y acumuladas en la superficie del *wafer*.

Fuente: <http://www.sematech.org/public/index.htm>

Construcción de circuitos integrados (versión 2)



8. Se repite los paso 3, 4 y 5 para construir los patrones pre-establecidos de dióxido de silicio, metales y otros materiales que conforman el diseño del circuito. En las áreas expuestas por el proceso de foto-litografía, se deposita (CVD o PVD) capas de material conductor usualmente aluminio, para grabar los delgados hilos interconectores. Los chips muy complejos requieren varias capas de metal con conectores verticales entre ellas, denominados "vias".

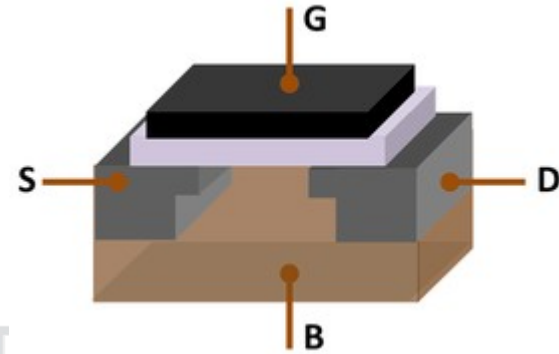
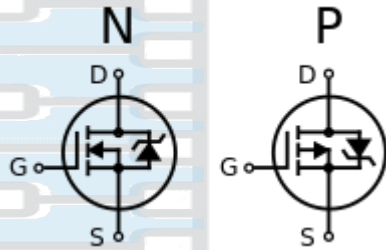
9. El wafer se corta para formar los chips, que son puestos en paquetes y conectados apropiadamente a sus pines o terminales.

Fuente: <http://www.sematech.org/public/index.htm>

MOSFET (Metal-oxide-semiconductor field effect transistor)

Definición: es un transistor que permite conmutar o amplificar señales electrónicas

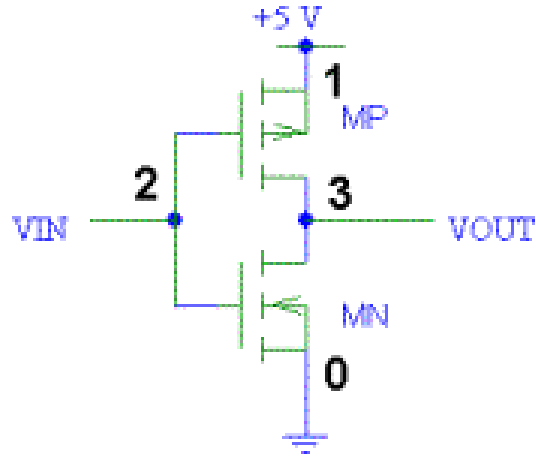
Se trata de un dispositivo con cuatro terminales denominadas fuente (S), drenador (D), sustrato (B) y puerta (G), como se muestra en la figuras. A la izquierda se muestra los símbolos electrónicos de los tipos básicos de estos transistores.



Fuente: https://es.wikipedia.org/wiki/Transistor_de_efecto_de_campo_metal-óxido-semiconductor

CMOS inverter (compuerta NOT)

CMOS (complementary MOSFET): implica la utilización de los tipos de transistores complementarios indicados anteriormente.



Como se muestra en la figura, este inversor está compuesto de dos MOSFET, el de arriba MP es un PMOS y el de abajo un NMOS, por eso son complementarios. No se muestra el sustrato (B) ya que ambos están conectados a la línea de entrada del (S). Ambas puertas (G) están conectadas a la línea de entrada (V_{IN}). La línea de salida está conectada a los dos drenadores (D).

Cuando la entrada V_{IN} tiene un valor bajo (0 lógico) el NMOS o MN está “apagado” mientras que el PMOS o MP está “encendido” cargando V_{OUT} con valor alto (1 lógico). Si la entrada V_{IN} tiene un valor alto (1 lógico) el NM está “encendido” y el MP está “apagado” llevando el voltaje de la salida V_{OUT} al valor bajo (0 lógico).

Proceso de fabricación de un inversor CMOS

1. Grow field oxide

ox.

p-type substrate

2. Etch oxide for pMOSFET

ox.

p-type substrate

3. Diffuse n-well

ox.

p-type substrate

n-well

1. Agregado de la capa de óxido en el sustrato elegido, capa de color gris

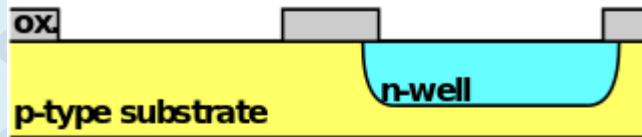
2. Eliminación de la capa de óxido por foto-litografía y proceso de grabado

3. Depósito de Silicio n-dopado para la creación de un pozo n (en color celeste), utilizado para el PMOS

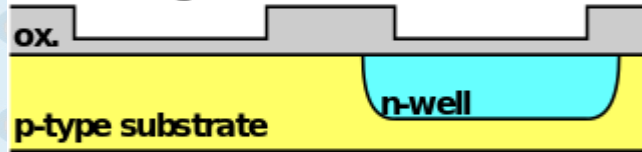
Fuente: <https://www.anandtech.com/show/8223/an-introduction-to-semiconductor-physics-technology-and-industry/3>

Proceso de fabricación de un inversor CMOS

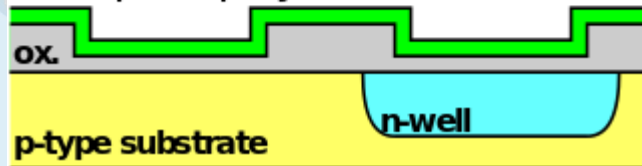
4. Etch oxide for nMOSFET



5. Grow gate oxide



6. Deposit polysilicon



4. Remoción del óxido

5. Se vuelve a agregar una capa de óxido de Silicio

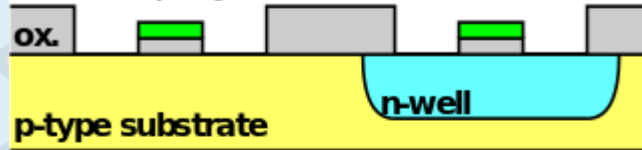
6. Se agrega un depósito de poli-Silicio, color verde

2021

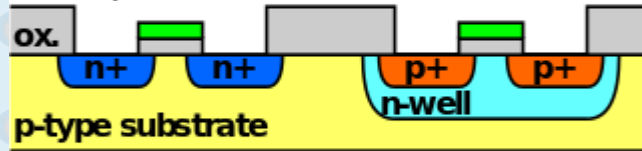
Fuente: <https://www.anandtech.com/show/8223/an-introduction-to-semiconductor-physics-technology-and-industry/3>

Proceso de fabricación de un inversor CMOS

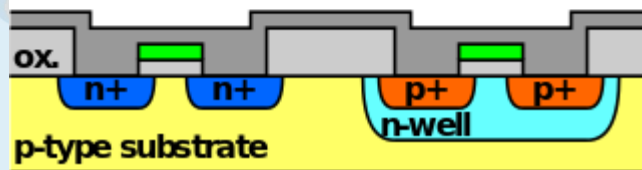
7. Etch polysilicon and oxide



8. Implant sources and drains



9. Grow nitride



7. Remoción de poli-Silicio y óxido de Silicio

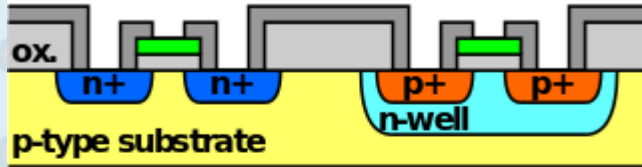
8. Se utiliza implantación de iones para crear las fuentes (S) y los drenajes (D), dopado del sustrado

9. Se agrega una capa de nitruro para evitar mayor oxidación

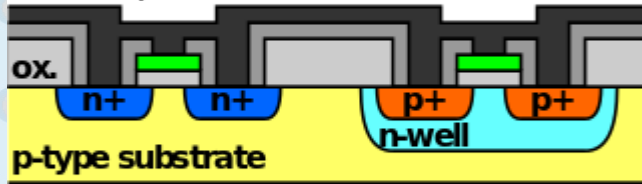
Fuente: <https://www.anandtech.com/show/8223/an-introduction-to-semiconductor-physics-technology-and-industry/3>

Proceso de fabricación de un inversor CMOS

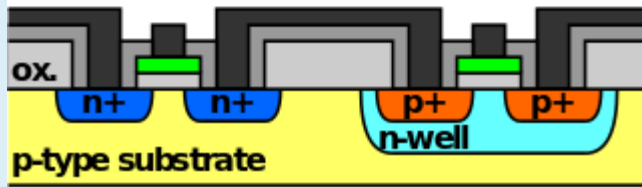
10. Etch nitride



11. Deposit metal



12. Etch metal



10. Grabado del nitrato para crear accesos a los espacios dopados en el sustrato (n+ en azul y p+ en naranja)

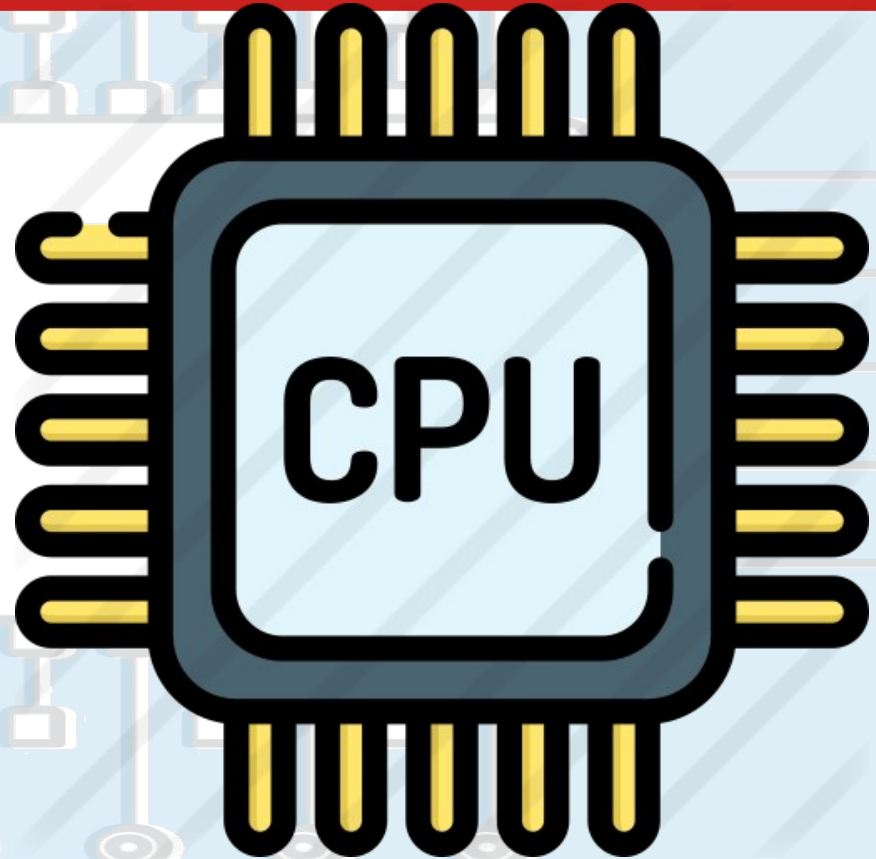
11. Agregado de una capa de metal, generalmente Aluminio

12. Grabado en el metal para separar los componentes

Fuente: <https://www.anandtech.com/show/8223/an-introduction-to-semiconductor-physics-technology-and-industry/3>

CPU de computadores de uso general

Arquitectura de las CPU de
uso general



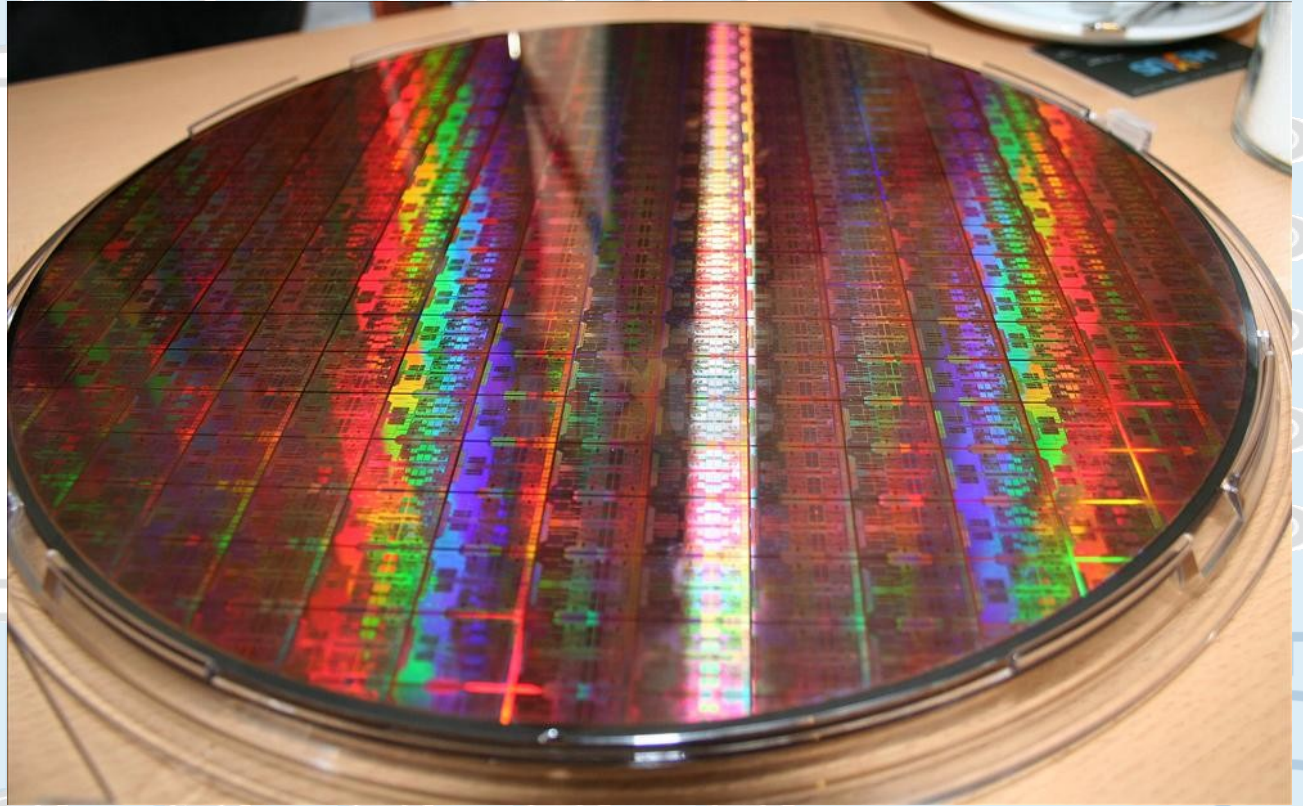
Construcción de procesadores

Por disponibilidad de información mostraremos los ejemplos con procesadores de AMD, las imágenes son similares con Intel



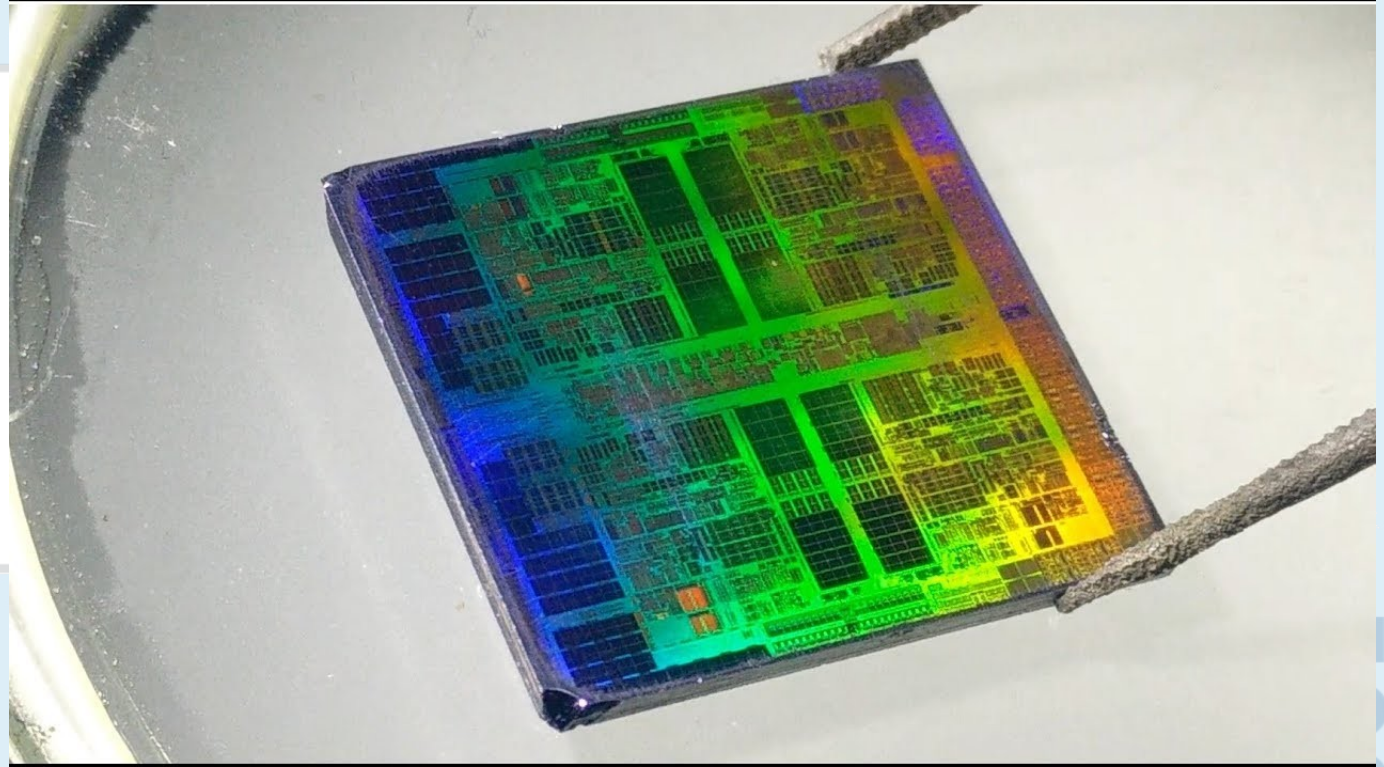
AMD 45 nm Phenom quad-core wafer

La figura muestra
una oblea de
procesadores AMD



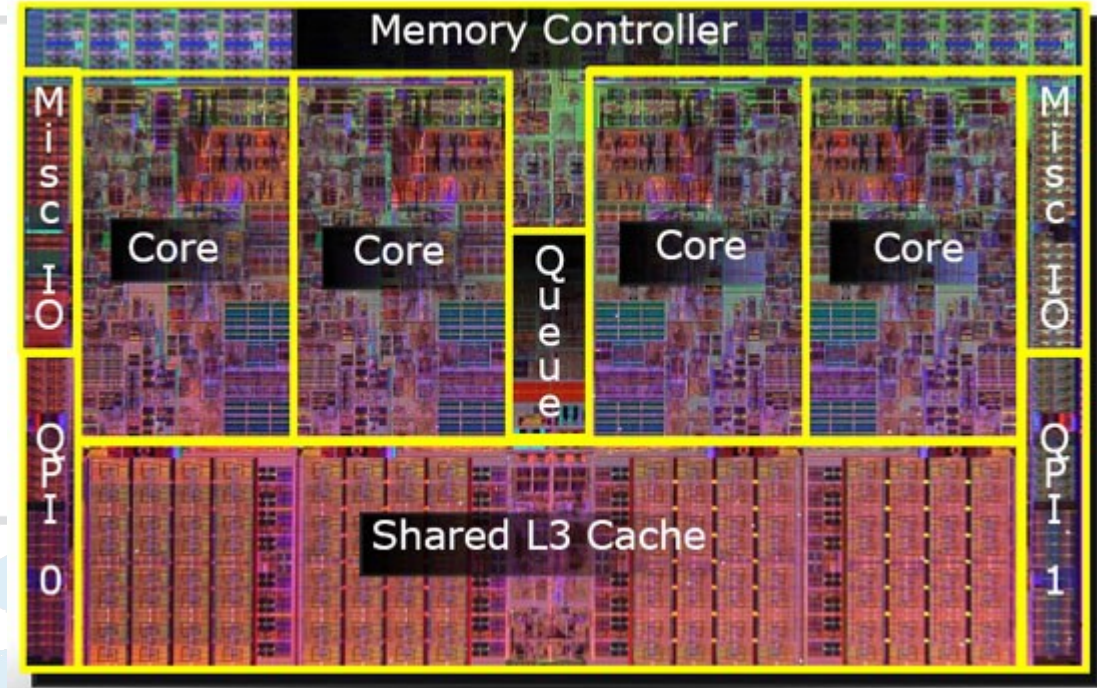
AMD Phenom X4 9500 die exposed

**CPU sin
empaquetamiento,
es el resultado de
cortar la oblea**



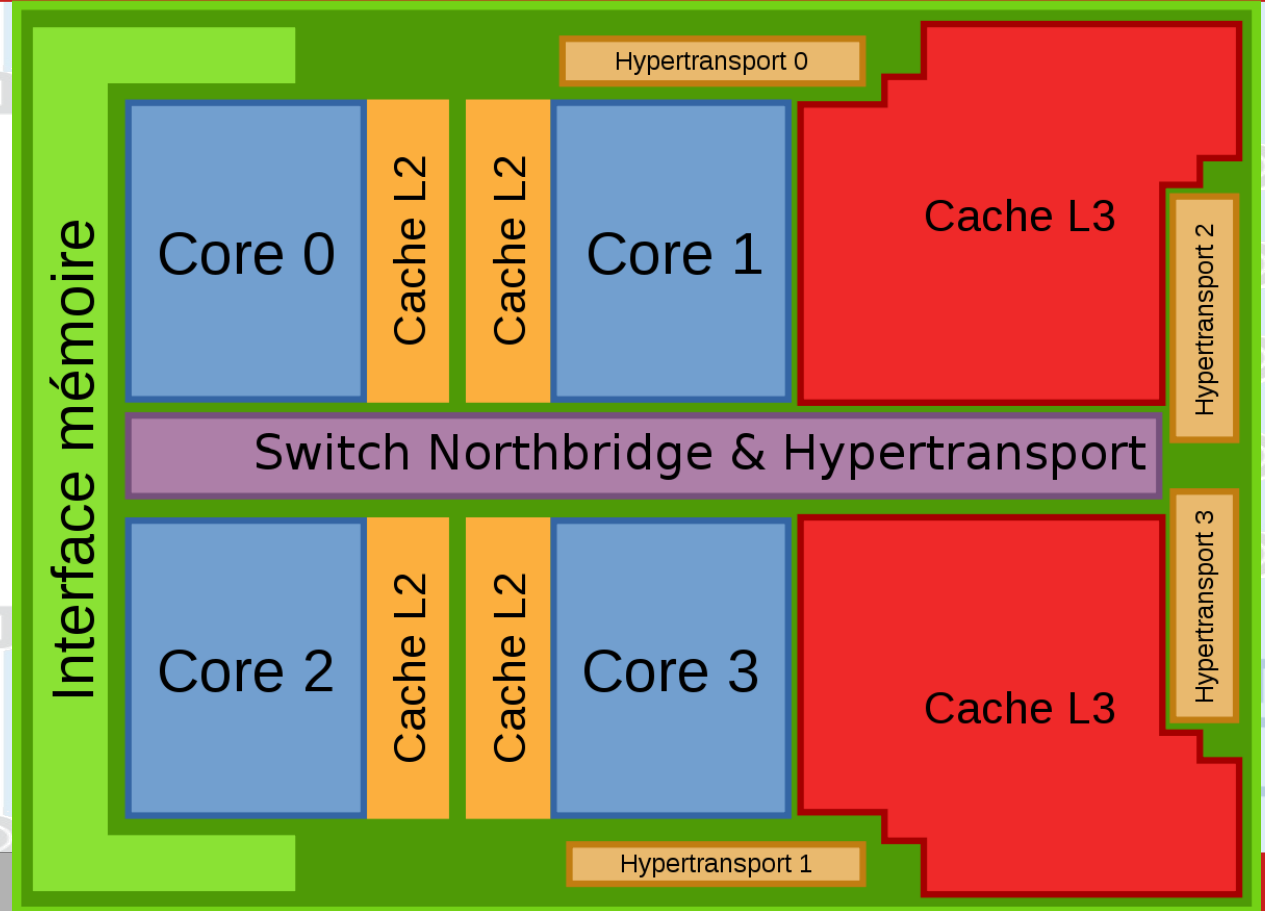
AMD Phenom X4 940

Se muestra el
esquema de un chip
de procesador AMD
con cuatro cores



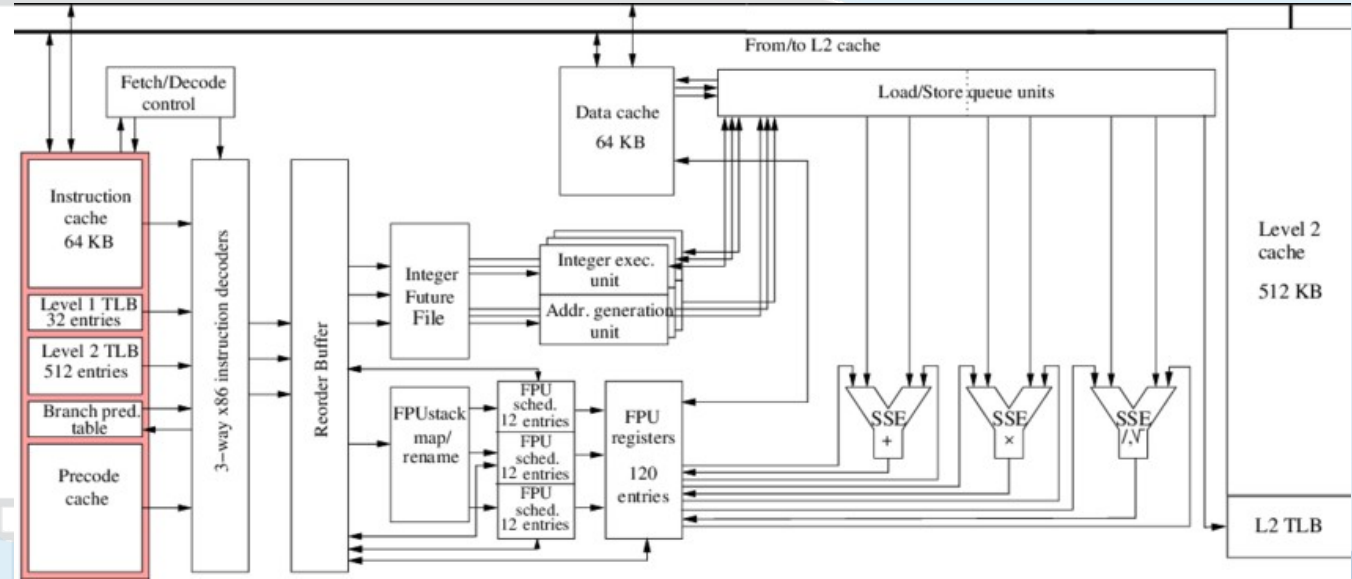
Esquema de un procesador

Elementos que componen un chip de un procesador



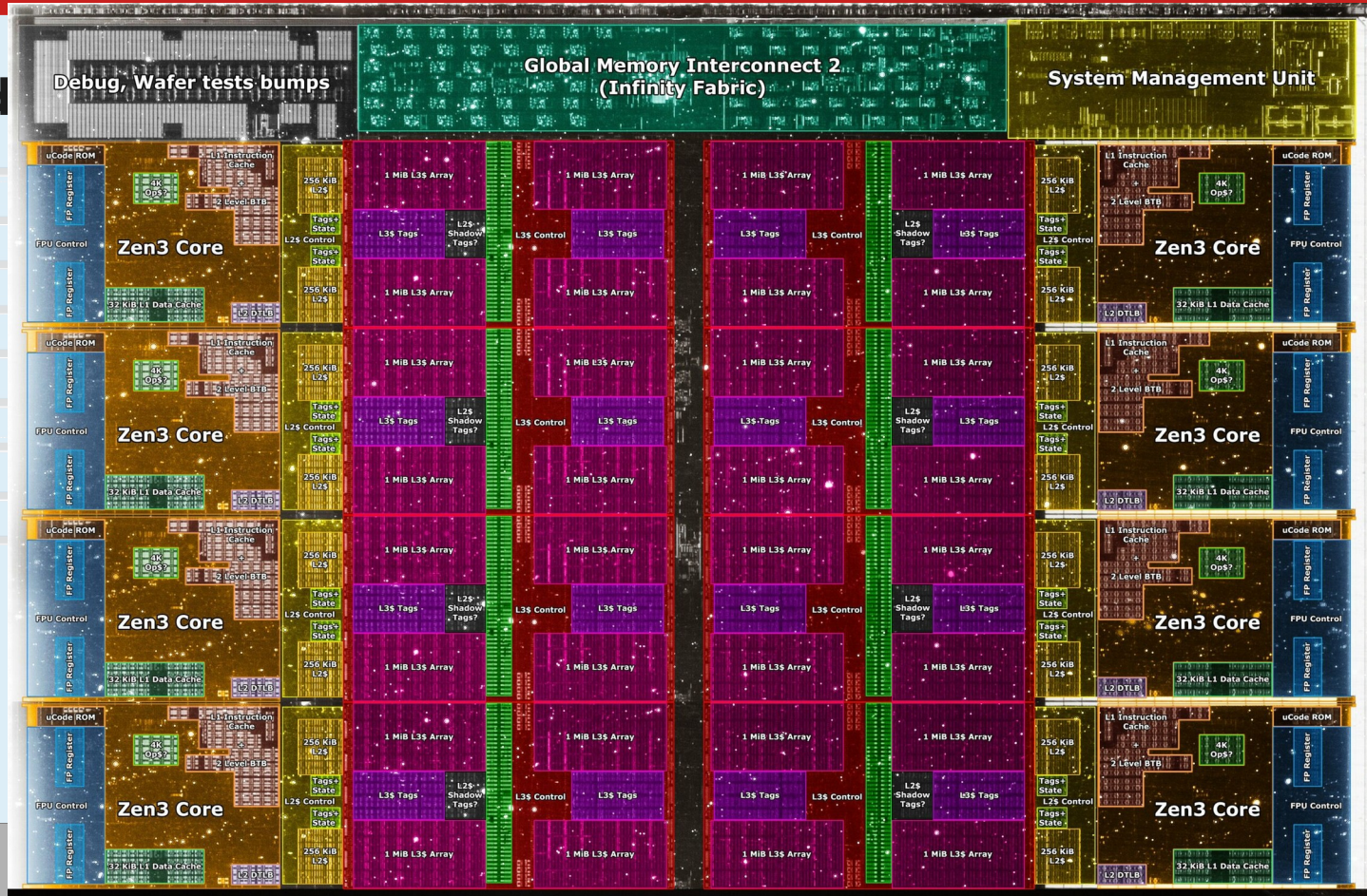
Esquema de un core AMD Phenom

Componentes de un core

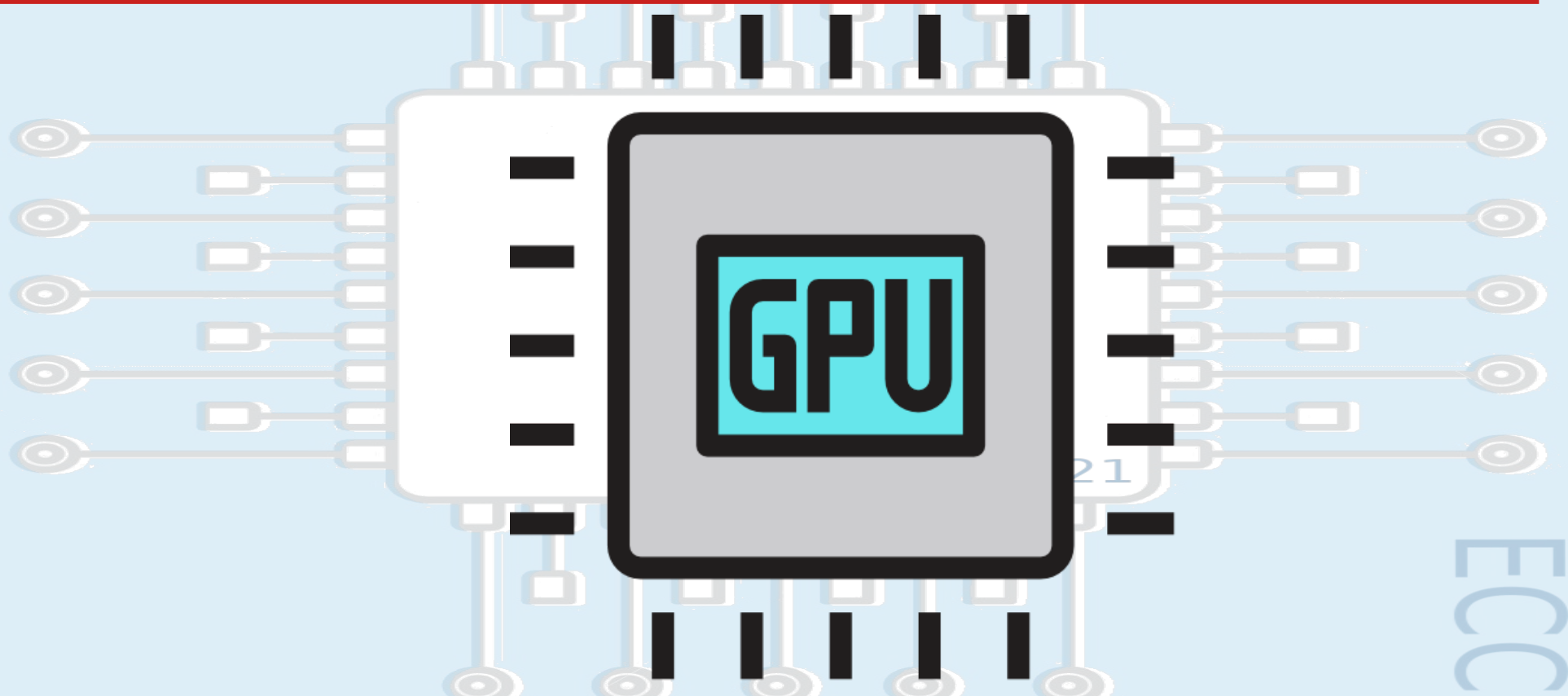


Otros ejemplos: AMD Ryzen 5000

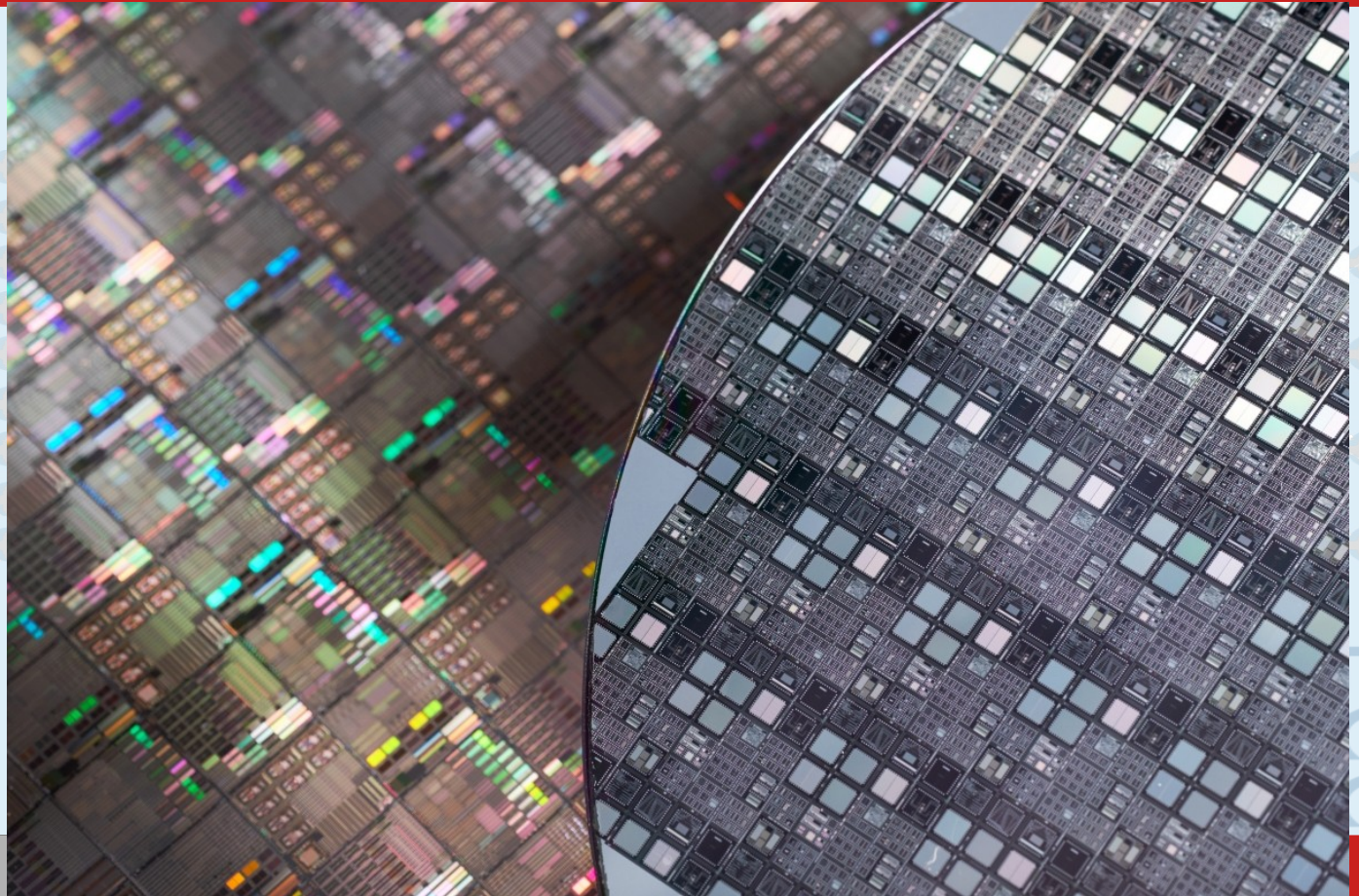
Componentes de core



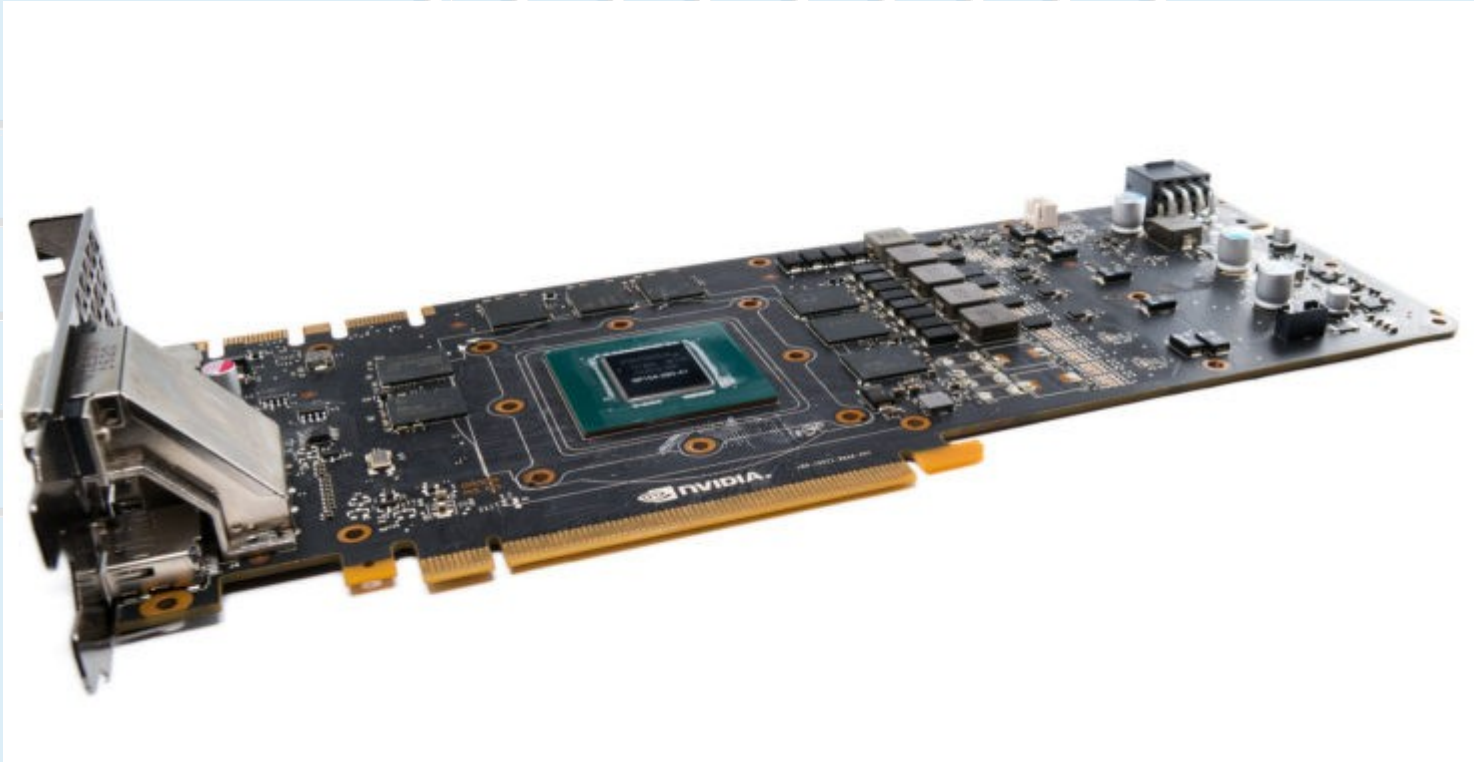
Arquitectura de GPU's



Oblea de sistemas GPU

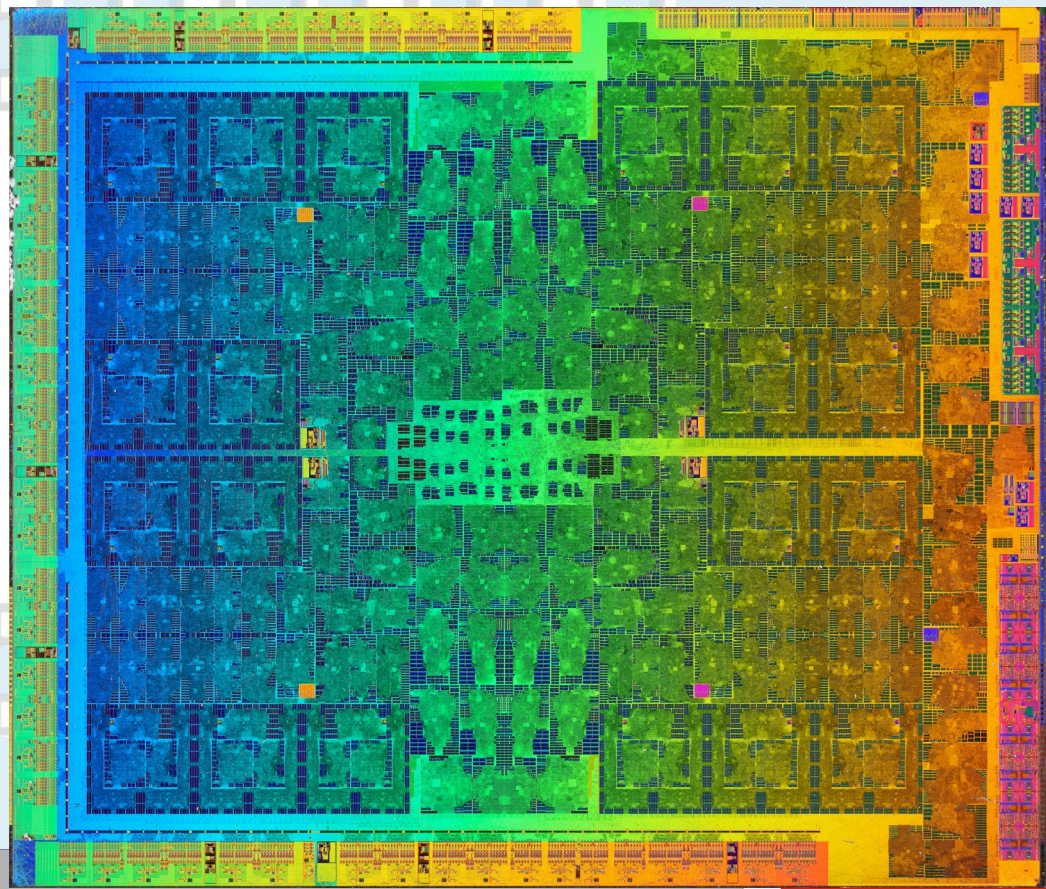


NVidia GTX 1070



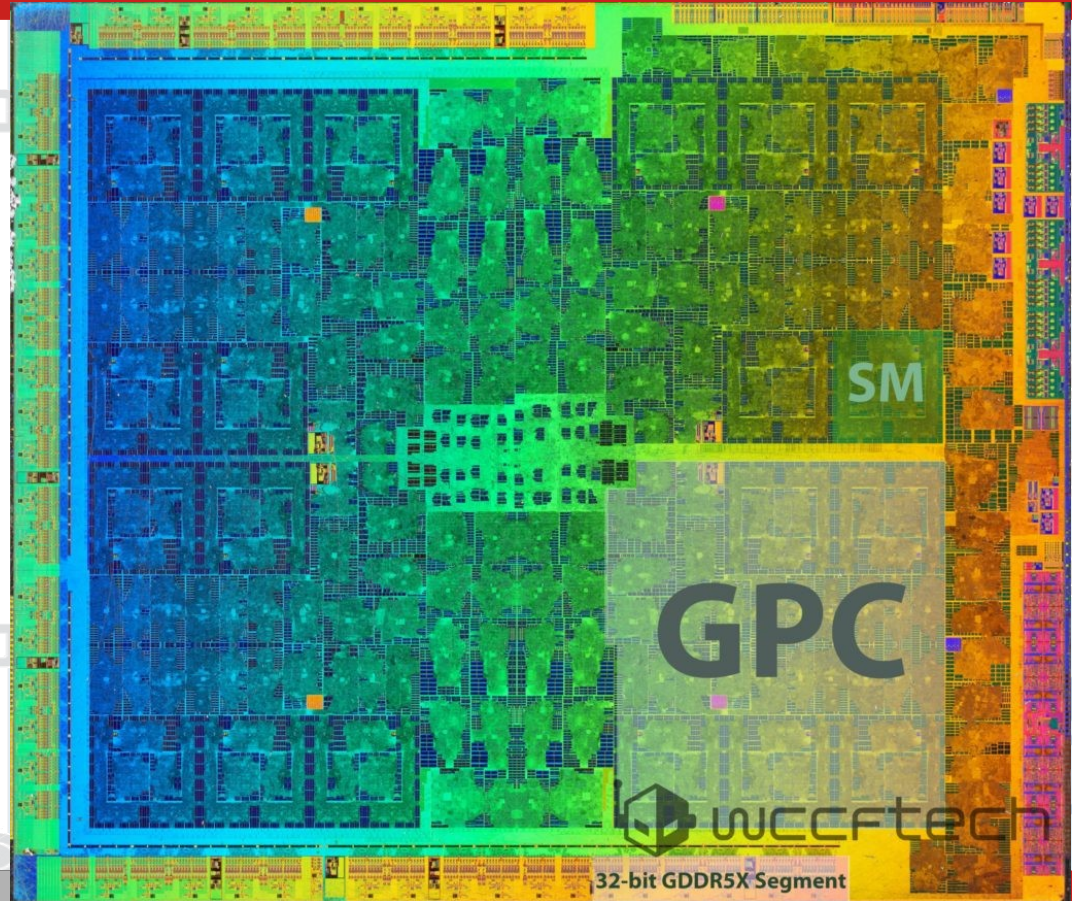
NVidia GTX 1070

GP104



NVidia GTX 1080 GP104

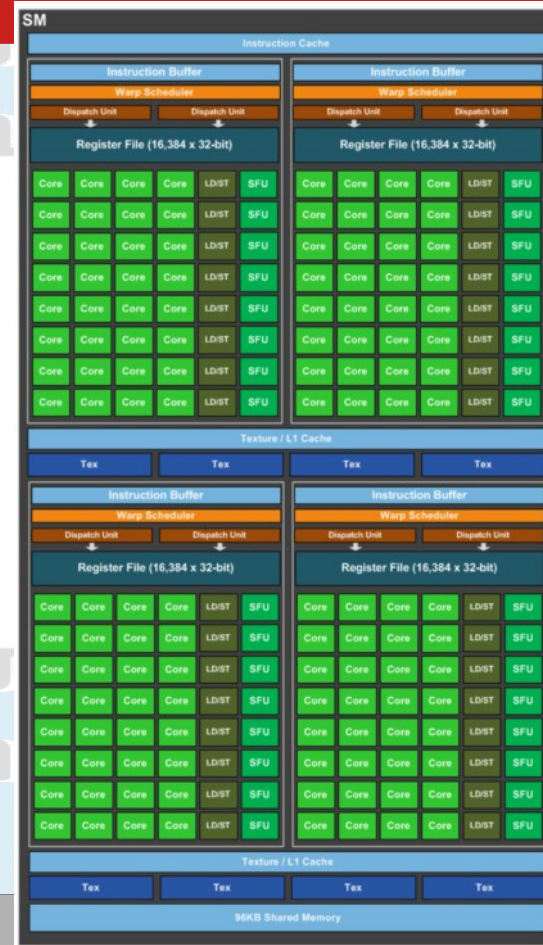
El chip posee cuatro divisiones para los motores GPC, que toman aproximadamente un cuarto de la superficie. Cada GPC está a su vez compuesto de 5 SM y rodeado por dos módulos de memoria laterales (GDDR5X segment)



NVidia GTX 1080

Esquema de un SM

- Cores 128



NVidia RTX 3080

GEFORCE RTX 3080



2080S → RTX 3080
6 → 6 GPCs
48 → 68 SMs
3072 → 8704 CUDA Cores
11 → 30 TFLOPS
89 → 238 FP16 DL TFLOPS
178 → 476 int8 DL TOPs
116 → 164 Gpixels/s
248 → 465 Gtexels/s
496 → 760 GB/s

NVidia RTX 3080

